



SHENZHEN APTUS INTERNATIONAL CO., LIMITED

PRODUCT SPECIFICATION

2.8" CIRCULAR LCD MODULE

MODEL NAME: DBT028BVC40M030C

DOC VERSION: 1.0

TOTAL PAGES: 25

DATE: 2026.08.20

FOR CUSTOMER	
CUSTOMER APPROVED	

NOTE: THE CONTENT OF THIS SPECIFICATION IS SUBJECT TO CHANGE WITHOUT NOTICE.

ALL RIGHTS STRICTLY RESERVED. NO PORTION OF THIS PAPER MAY BE REPRODUCED OR TRANSMITTED IN ANY OTHER FORMS WITHOUT PERMISSION FROM APTUS INTERNATIONAL CO., LIMITED.

目录 CONTENTS

序号 NO.	项目 ITEM	页码 Page No.
-	封面 Cover page	1
-	目录 Contents	2
1	版本记录 Record of Revision	3
2	产品特性 Product Features	4
3	模组外形图 Module Outline Drawing	5
4	接口描述 Interface Pin Description	6-7
5	电气规格 Electrical Specifications	8-9
6	光学特性 Optical Characteristics	9-11
7	时序特性 Timing Characteristics	12-16
8	可靠性试验项目 Reliability Test Item	17
9	常规品质标准 Conventional Quality Inspection Standards	18-24
10	包装图 Packing Drawing (Reference only)	25

Page 3 of 25

2. 产品特性 Product Features

序号 NO.	特征 Item	规格 Specification	Unit
1	液晶屏幕尺寸(对角线) LCD size (Diagonal)	2.76"	英寸 inch
2	液晶面板类型 LCD Type	TFT	-
3	显示模式 Display Mode	NORMALLY BLACK	-
4	分辨率 Resolution	480RGB(H)× 480(V)	像素 Pixels
5	视角 Viewing Direction	ALL O'clock	最佳视角 Best Image
6	模组尺寸 Module size	95(H)X95(V) X3.55(D)	毫米 mm
7	可视区尺寸 Active area size	70.13(H)X70.13(V)	毫米 mm
8	像素间距 Pixel Pitch	0.1461(H)X0.1461(V)	毫米 mm
9	像素排列 Pixel Arrangement	RGB-stripe	-
10	显示色彩 Display Colors	16.7M	-
11	接口 Interface	MIPI	-
12	驱动芯片 Driver IC	ST7701S	-
13	重量 Weight	TBD	克 grams
14	Touch ic 触控 IC	FT3427	-
15	Touch structure 触摸结构	G+F+F	

4.接口描述 Interface Pin Description

Pin No. Pin 序号	Symbol 符号	Function 功能描述
1	LEDA	Backlight anode
2~3	LEDK	Backlight cathode
4	GND	Ground 接地
5~6	VCI3V3	Analog Power Supply for LCM (3.3V)
7	IOVCC_1V8&3V3	I/O Supply Voltage Power Supply for LCM (1.8V~3.3V)
8	RESET	LCM reset signal
9	TE	Tearing signal
10	GND	Ground
11	D0P	Positive MIPI differential data0 input
12	D0N	Negative MIPI differential data0 input
13	GND	Ground
14	D1P	Positive MIPI differential data1 input
15	D1N	Negative MIPI differential data1 input
16	GND	Ground
17	CLKP	Positive MIPI differential clock input
18	CLKN	Negative MIPI differential clock input
19	GND	Ground
20~21	NC	No connect
22	GND	Ground
23~24	NC	No connect
25~27	GND	Ground
28~29	NC	No connect
30	GND	Ground
31~32	NC	No connect
33	GND	Ground
34	TP_INT	TP Interrupt
35	TP_SDA	TP serial data input/output bi-direction pin
36	TP_SCL	TP interface CLOCK differential signal input pins
37	TP_RST	TP Reset pin
38	TP_VCI	A power supply for the analog power for TP
39	GND	Ground
40	GND	Ground

4.1 触摸接口描述 CTP Interface Pin Description

序号 NO.	符号 Symbol	功能 Function
1	TP_INT	TP Interrupt
2	CTP_SDA	TP serial data input/output bi-direction pin
3	CTP_SCL	TP interface CLOCK differential signal input pins
4	CTP_RST	TP Reset pin
5	CTP_VCI	A power supply for the analog power for TP
6	GND	Ground

5. 电气规格 Electrical Specifications

5.1 绝对最大参数 Absolute Maximum Ratings

Item 项目	Symbol 符号	最小值 Min.	最大值 Max	单位 Unit
Input Voltage 输入电压	V _{in}	-0.3	5.0	V
I/O Supply Voltage I/O 端口供电电压	V _{ioVcc}	-0.3	V _{ioVcc} +0.3	V
Operating Temperature 操作温度	T _{op}	-20	70	°C
Storage Temperature 存储温度	T _{st}	-30	80	°C
Humidity 湿度	RH	---	90% (MAX60°C)	RH

5.2 直流特性 DC Characteristics

Item 项目	Symbol 符号	最小值 Min.	典型值 Typ.	最大值 Max.	单位 Unit
模拟电源电压 Supply Voltage of Analog	V _{LCM_3.3}	2.8	3.0	3.3	V
数字电源电压 Supply Voltage of Digital	V _{LCM_1.8}	1.65	1.8	3.3	V
输入电流 Input Current	I _{dd}				mA
输入电压高电平 Input Voltage 'H' Level	V _{ih}	0.7IOVCC	-	IOVCC	V
输入电压低电平 Input Voltage 'L' Level	V _{iL}	0	-	0.3IOVCC	V
输出电压高电平 Output Voltage 'H' Level	V _{oh}	0.8 IOVCC	-	IOVCC	
输出电压低电平 Output Voltage 'L' Level	V _{ol}	0	-	0.2IOVCC	

备注：即使上述参数之一的绝对最高额定值只超过一段时间，产品的质量也可能下降。因此，请确保在绝对最高额定值的范围内使用该产品

Note: Even if the absolute maximum rating of one of the above parameters is exceeded only for a short while, the quality of the product may be degraded. Therefore, be sure to use the product within the range of the absolute maximum ratings.

5.3 Backlight Characteristics

项目 Item	符号 Symbol	条件 Conditions	最小值 Min.	典型值 Typ.	最大值 Max.	单位 Unit
正向电压 Forward Voltage	V_F	$T_a=25^{\circ}\text{C}$, $I_F=20\text{mA}/\text{LED}$	2.7	3.0	3.3	V
正向电流 Forward Current	I_F	$T_a=25^{\circ}\text{C}$, $V_F=3.2\text{V}/\text{LED}$		80		mA
功耗 Power Dissipation	P_D	-	-	-	-	mW
发光二极管排列 LED Configuration	1 串 4 并，一共 4 颗发光二极管 1 series 4 parallel , 4 LED Altogether					

6. 光学特性 Optical Characteristics

项目 Item	符号 Symbol	条件 Condition	最小值 Min	典型值 Typ	最大值 Max	单位 Unit	备注 Remark
对比度 Contrast Ratio	CR	$T=25^{\circ}\text{C}$ $I=40\text{mA}$	1000	1200	--		Note3
亮度 Surface Luminance	L_v		200	250	--	Cd/m ²	Note1
亮度均匀性 Luminance uniformity	%		80	--	--	%	Note2
响应时间 Response time	T_r+T_f	Rising+Fallin g	---	35	40	ms	Note4/ 8
视角 Viewing anle range	$\varnothing$ ($CR \geq 0$)	3o' clock	80	85	--	Deg.	Note5/ 8/9
		12o' clock	80	85	--	Deg.	
		9o' clock	80	85	--	Deg.	
		6o' clock	80	85	--	Deg.	
模组色度 Module Chromaticity CIE(x,y)	White	x	-0.03	0.26	+0.03		Note6
		y		0.30			
	RED	x		0.64			
		y		0.33			
	GREEN	x		0.30			
		y		0.61			
	BLUE	x		0.15			
		y		0.06			
色域 NTSC Ratio	S	--	70	75	--	%	Note7

Note1. Surface luminance is the LCD surface from the surface with all pixels displaying white,
For more information see FIG 1.

表面亮度是由测试 LCD 表面显示白色时五个点的亮度平均值得来的，详情参考 FIG 1

L_v =Average Surface Luminance with all white pixels (P1,P2,P3,P4,P5)

Note2. The uniformity in surface luminance (& White) is determined by measuring luminance
at each test position, and then dividing the maximum luminance of 5 points luminance

by minimum luminance of 5 points luminance. For more information see FIG 1.

均匀度的数据是将测试五个点在白色画面下的亮度最小值对比五个点亮度的最大值对比而得来的, 详情参考 FIG 1。

$$\text{Uniformity} = \frac{\text{Minimum Surface xels (P1,P2,P3,P4,P5) Luminance with all white}}{\text{Maximum Surface xels (P1,P2,P3,P4,P5) Luminance with all white}}$$

Note3. Contrast Ratio(CR) is defined mathematically by the following formula. For more information see FIG 1:

对比度可参考如下公式计算, 详细信息请参考 FIG 1。

$$\text{Contrast Ratio} = \frac{\text{Average Surface Luminance with all white pixels (P1,P2,P3,P4,P5)}}{\text{Average Surface Luminance with all black pixels (P1,P2,P3,P4,P5)}}$$

Note4. Response time is the time required for the display to transition from White to black (Rise Time T_r) and from black to white (Decay Time T_f), For additional information see FIG 2.

相应时间定义为: 从白转到黑的时间 (上升时间 T_r) 以及从黑转到白的时间 (下降时间 T_f) 之和, 详细信息请参考 FIG 2。

Note 5. Viewing angle is the angle at which the contrast ratio is greater than 10. For TFT module the contrast ratio is greater than 10. The angles are determined for the horizontal or x axis and the vertical or y axis with respect to the z axis which is normal to the LCD surface For more information see FIG 3.

视角定义为必须在对比度大于 10 时才有效, 详细信息请参考 FIG 3。

Note 6. CIE(x, y) chromaticity, The x, y value is determined by screen active area position 5, or more information see FIG 1.

色坐标的值来自于对于屏 AA 区 5 个点的数据测试, 详细信息参考 FIG 1。

Note7. NTSC ratio is defined mathematically by the following formula.

色饱和度按照如下公式定义.

$$\text{NTSC ratio} = \frac{\text{Area of RGB triangle}}{\text{Area of NTSC triangle}}$$

Note8. For Viewing angle and response time testing, the testing data is base on Autronic-Melchers' s ConoScope. Series Instruments. For contrast ratio, Surface Luminance, Luminance uniformity and CIE, the testing data is base on BM-7 photo detector.

视角/相应时间的测试数据是由 Autronic-Melchers 测试得来的, 对比度/表面亮度/均匀性/色坐标的数据是由 BM-7 测试得来的。

Note9. For TFT transmissive module. Gray scale reverse occurs in direction of panel viewing angle

对于普通视角的模组, 灰阶反转的方向和 TFT 面板的方向一致

FIG. 1. Measuring method for Contrast ratio, surface luminance, Luminance uniformity, CIE (x, y) chromaticity.

A : 5mm

B : 5mm

H, V : Active Area

Light spot size $\varnothing = 5\text{mm}$, 500mm

distance from the LCD surface to
detector lens measurement

instrument is luminance meter BM-7

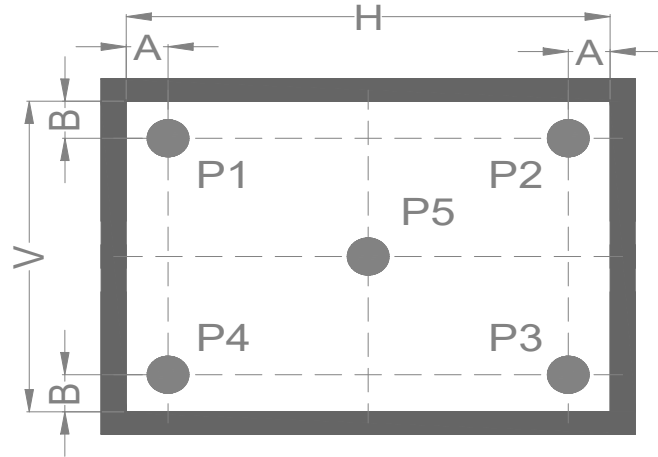


FIG. 2. The definition of Response Time 相应时间定义方式

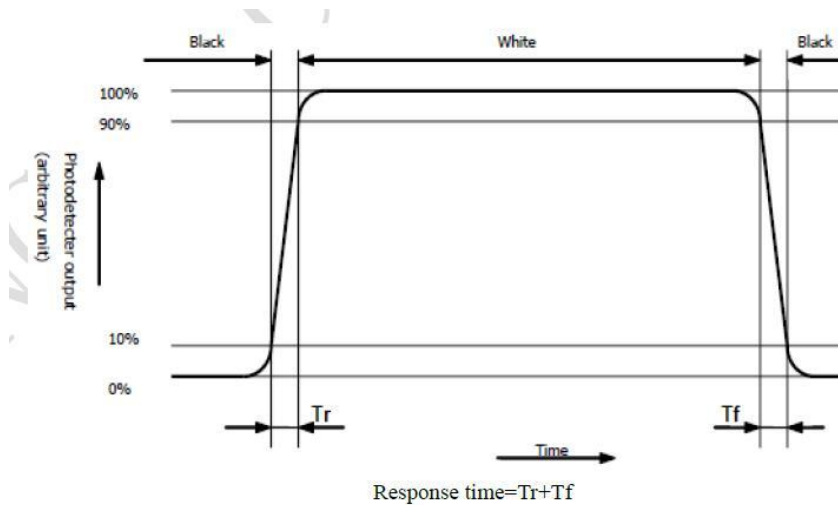
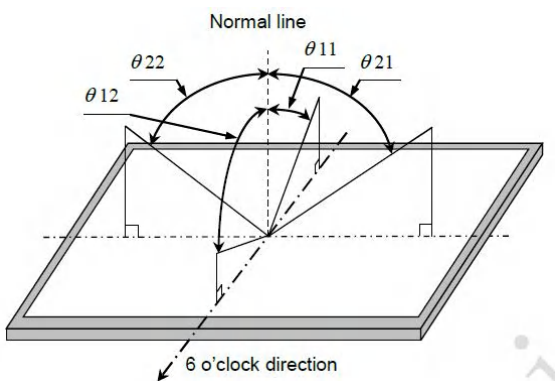


FIG.3. The definition of viewing angle 视角定义方式



7. 时序特性 Timing Characteristics

7.1 High Speed Mode

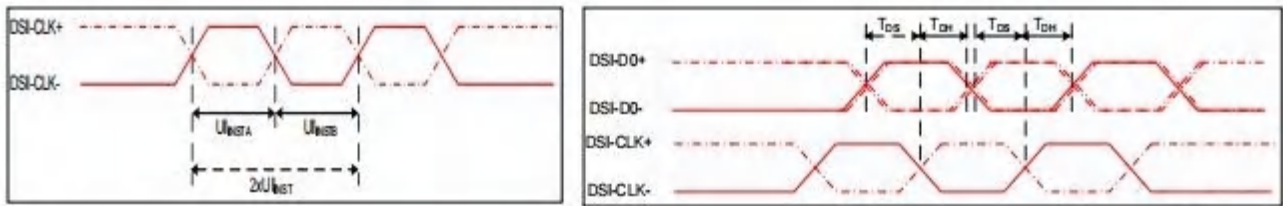


Figure 4 DSI clock channel timing

Figure 5 Rising and falling time on clock and data channel

$V_{DDI}=1.8, V_{DD}=2.8, AGND=DGND=0V, T_a=25\text{ }^{\circ}\text{C}$

Signal	Symbol	Parameter	MIN	MAX	Unit	Description
DSI-CLK+/-	$2xU_{INSTA}$	Double UI instantaneous	2.5	25	ns	
DSI-CLK+/-	U_{INSTA} U_{INSTB}	UI instantaneous halves	1.25	12.5	ns	$UI = U_{INSTA} = U_{INSTB}$
DSI-Dn+/-	t_{DS}	Data to clock setup time	0.15	-	UI	
DSI-Dn+/-	t_{DH}	Data to clock hold time	0.15	-	UI	

Table 7 Mipi Interface- High Speed Mode Timing Characteristics

Low Power Mode

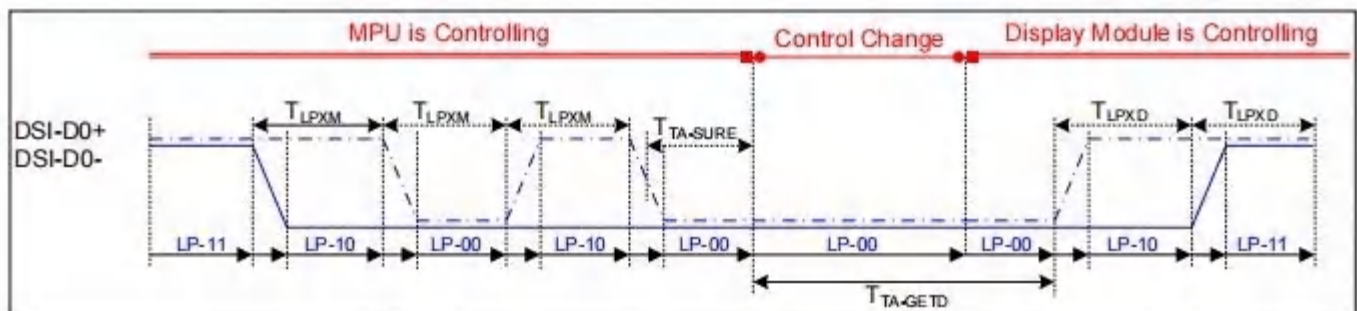


Figure 6 Bus Turnaround (BTA) from display module to MPU Timing

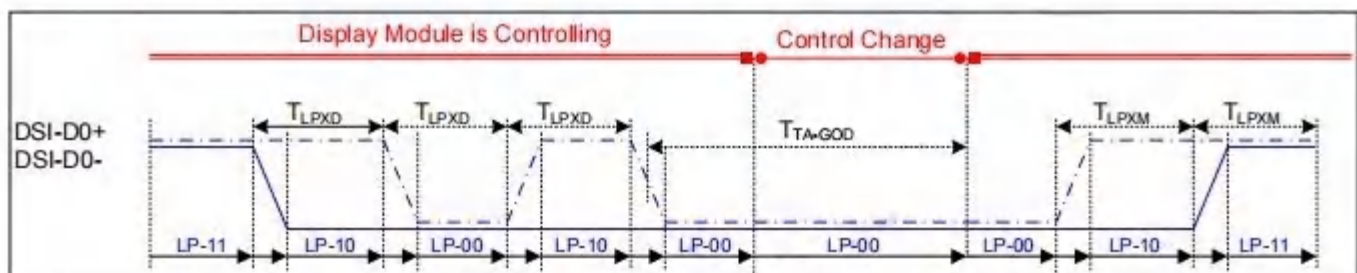


Figure 7 Bus Turnaround (BTA) from MPU to display module Timing

VDDI=1.8, VDD=2.8, AGND=DGND=0V, Ta=25 °C

Signal	Symbol	Parameter	MIN	MAX	Unit	Description
DSI-D0+/-	TLPXM	Length of LP-00, LP-01, LP-10 or LP-11 periods MPU→Display Module	50	75	ns	Input
DSI-D0+/-	TLPXD	Length of LP-00, LP-01, LP-10 or LP-11 periods MPU→Display Module	50	75	ns	Output
DSI-D0+/-	TTA-SURED	Time-out before the MPU start driving	T _L PXD	2xT _L PXD	ns	Output
DSI-D0+/-	TTA-GETD	Time to drive LP-00 by display module	5xT _L PXD		ns	Input
DSI-D0+/-	TTA-GOD	Time to drive LP-00 after turnaround request-MPU	4xT _L PXD		ns	Output

Table 8 Mipi Interface Low Power Mode Timing Characteristics

DSI Bursts Mode

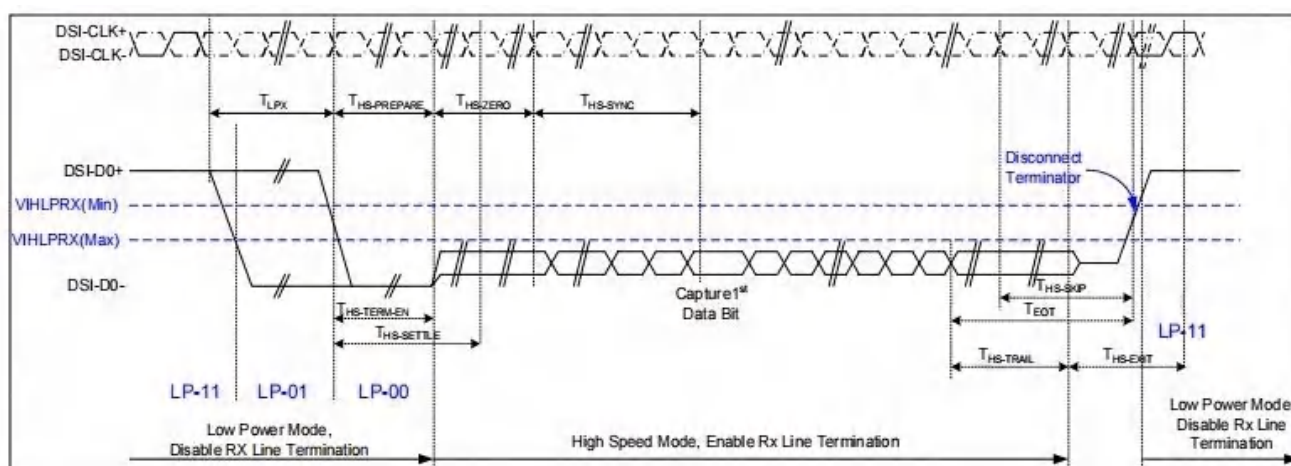


Figure 7 Data lanes-Low Power Mode to/from High Speed Mode Timing

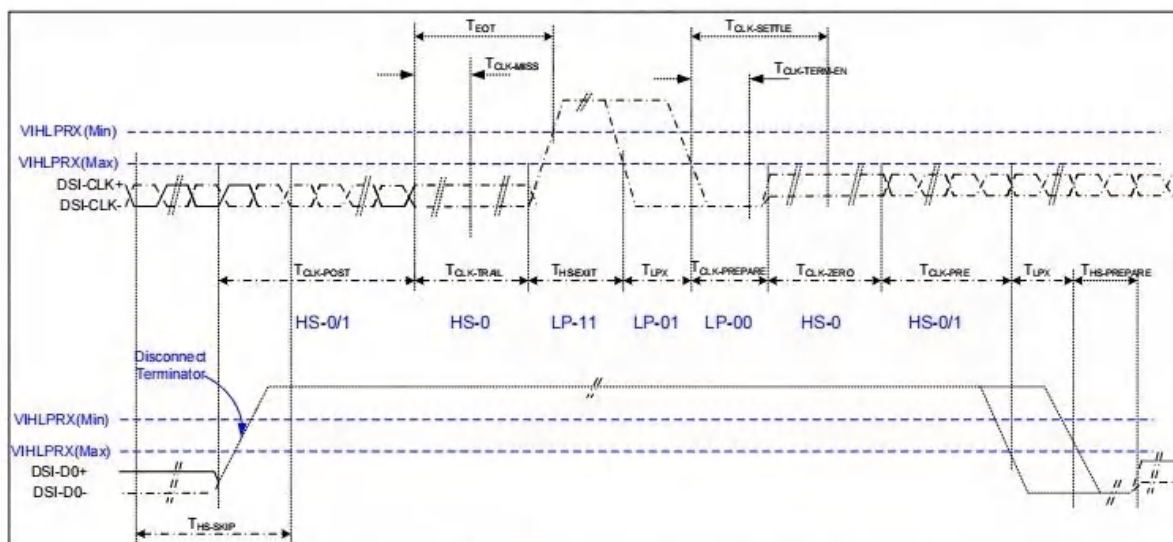


Figure 8 Clock lanes- High Speed Mode to/from Low Power Mode Timing

Signal	Symbol	Parameter	MIN	MAX	Unit	Description
Low Power Mode to High Speed Mode Timing						
DSI-Dn+/-	TLPX	Length of any low power state period	50	-	ns	Input
DSI-Dn+/-	THS-PREPARE	Time to drive LP-00 to prepare for HS transmission	40+4 UI	85+6 UI	ns	Input
DSI-Dn+/-	THS-TERM-EN	Time to enable data receiver line termination measured from when Dn crosses VILMAX	-	35+4 UI	ns	Input
DSI-Dn+/-	THS-PREPARE + THS-ZERO	THS-PREPARE + time to drive HS-0 before the sync sequence	140+ 10UI	-	ns	Input
High Speed Mode to Low Power Mode Timing						
DSI-Dn+/-	THS-SKIP	Time-out at display module to ignore transition period of EoT	40	55+4 UI	ns	Input
DSI-Dn+/-	THS-EXIT	Time to drive LP-11 after HS burst	100	-	ns	Input
DSI-Dn+/-	THS-TRAIL	Time to drive flipped differential state after last payload data bit of a HS transmission burst	60+4 UI	-	ns	Input
High Speed Mode to/from Low Power Mode Timing						
DSI-CLK+/-	TCLK-POS	Time that the MPU shall continue sending HS clock after the last associated data lane has transition to LP mode	60+5 2UI	-	ns	Input
DSI-CLK+/-	TCLK-TRAIL	Time to drive HS differential state after last payload clock bit of a HS transmission burst	60	-	ns	Input
DSI-CLK+/-	THS-EXIT	Time to drive LP-11 after HS burst	100	-	ns	Input
DSI-CLK+/-	TCLK-PREPARE	Time to drive LP-00 to prepare for HS transmission	38	95	ns	Input
DSI-CLK+/-	TCLK-TERM-EN	Time-out at clock lan display module to enable HS transmission	--	38	ns	Input
DSI-CLK+/-	TCLK-PREPARE + TCLK-ZERO	Minimum lead HS-0 drive period before starting clock	300	-	ns	Input
DSI-CLK+/-	TCLK-PRE	Time that the HS clock shall be driven prior to any associated data lane beginning the transition from LP to HS mode	8UI	-	ns	Input
DSI-CLK+/-	TEOT	Time form start of TCLK-TRAIL period to start of LP-11 state	-	105ns+12 UI	ns	Input

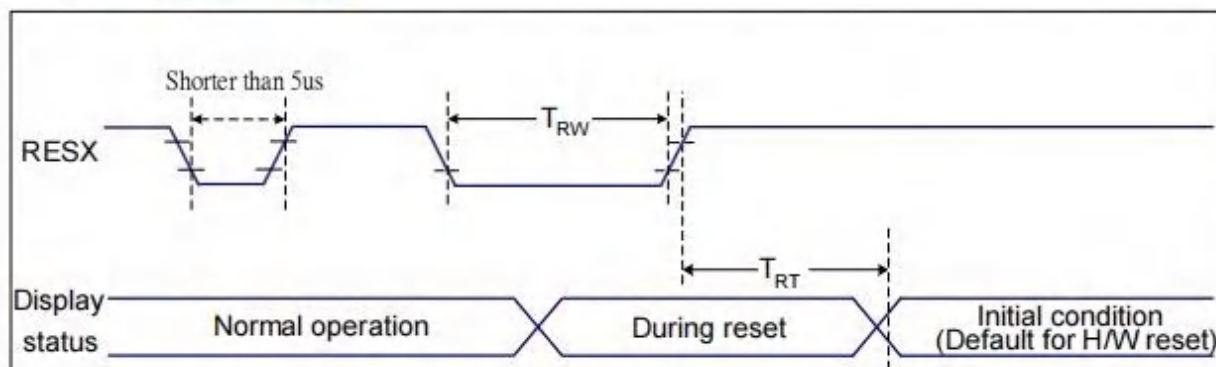


Figure 9 Reset Timing

VDDI=1.8, VDD=2.8, AGND=DGND=0V, Ta=25 °C

Related Pins	Symbol	Parameter	MIN	MAX	Unit
RESX	TRW	Reset pulse duration	10	-	us
	TRT	Reset cancel	-	5 (Note 1, 5)	ms
				120 (Note 1, 6, 7)	ms

Table 9 Reset Timing

Notes:

1. The reset cancel includes also required time for loading ID bytes, VCOM setting and other settings from NVM (or similar device) to registers. This loading is done every time when there is HW reset cancel time (tRT) within 5 ms after a rising edge of RESX.
2. Spike due to an electrostatic discharge on RESX line does not cause irregular system reset according to the table below:

RESX Pulse	Action
Shorter than 5us	Reset Rejected
Longer than 9us	Reset
Between 5us and 9us	Reset starts

3. During the Resetting period, the display will be blanked (The display is entering blanking sequence, which maximum time is 120 ms, when Reset Starts in Sleep Out –mode. The display remains the blank state in Sleep In –mode.) and then return to Default condition for Hardware Reset.

4. Spike Rejection also applies during a valid reset pulse as shown below:

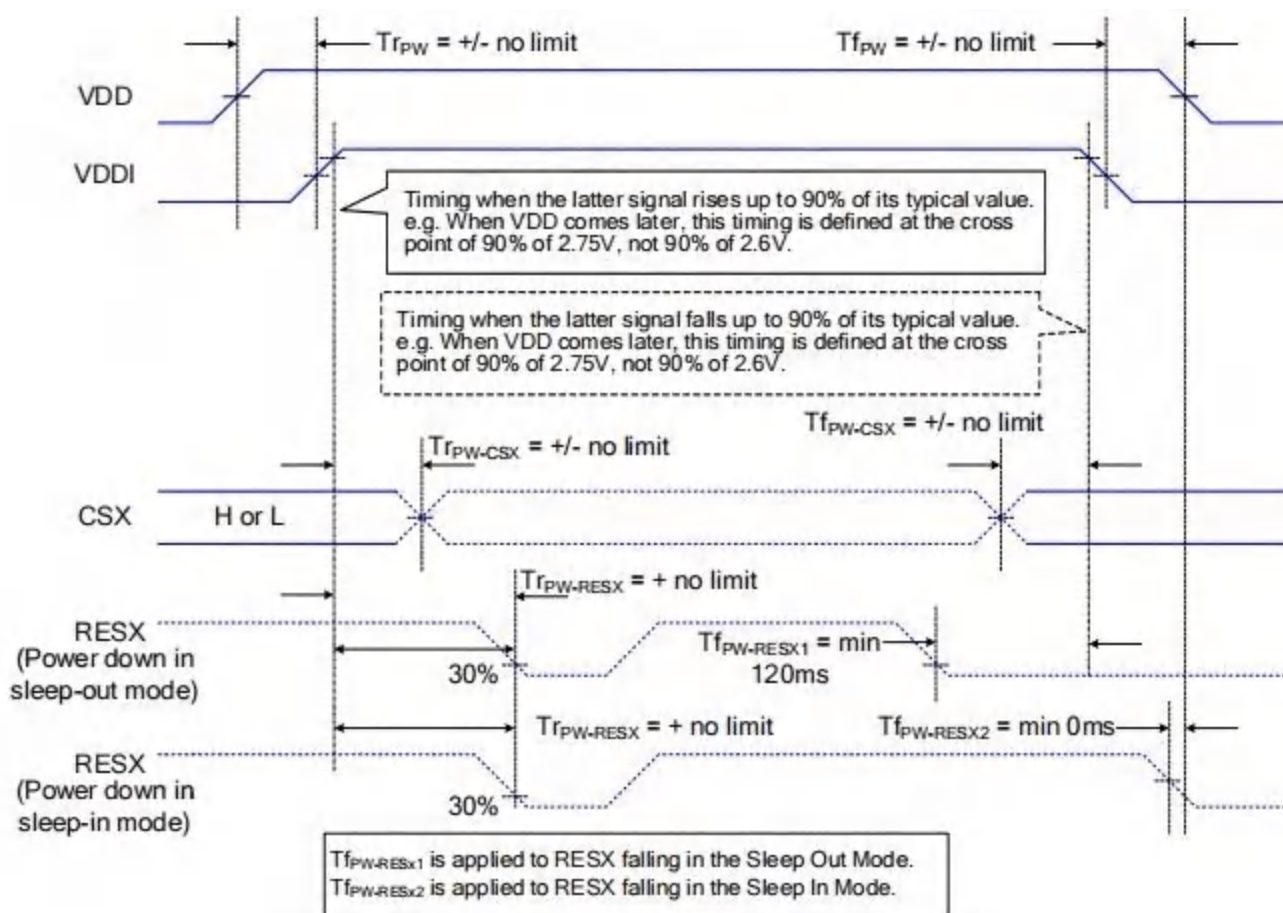
7.2 Power On Sequence

VDDI and VDDA can be applied or powered down in any order. During the Power Off sequence, if the LCD is in the Sleep Out mode, VDDA and VDDI must be powered down with minimum 120msec. If the LCD is in the Sleep In mode, VDDA and VDDI can be powered down with minimum 0msec after the RESX is released. CSX can be applied at any timing or can be permanently grounded. RESX has high priority over CSX.

Notes:

1. There will be no damage to the ST7701S if the power sequences are not met.
2. There will be no abnormal visible effects on the display panel during the Power On/Off Sequences.
3. There will be no abnormal visible effects on the display between the end of Power On Sequence and before receiving the Sleep Out command, and also between receiving the Sleep In command and the Power Off Sequence.
4. If the RESX line is not steadily held by the host during the Power On Sequence as defined in Sections 9.1 and 9.2, then it will be necessary to apply the Hardware Reset (RESX) after the completion of the Host Power On Sequence to ensure correct operations. Otherwise, all the functions are not guaranteed.

The power on/off sequence is illustrated below



7.3 Power Off Sequence

The uncontrolled power-off means a situation which removed a battery without the controlled power off sequence. It will neither damage the module or the host interface.

If uncontrolled power-off happened, the display will go blank and there will not any visible effect on the display

(blank display) and remains blank until "Power On Sequence" powers it up.

8. 可靠性试验项目 Reliability Test Item

测试项目 Test Item	测试条件 Test Condition	检测时间 Check Time	Inspection After Test 测试结果判定
高温存储 High temperature storage	80°C	48 小时 48 hrs	Inspection after 2~4hours storage at room temperature, the samples should be free from defects: 试验强束后, 已测试的 LCD 样品必须在室内正常温湿度环境下放置 2~4 个小时以上才能进行功能和外观检查, 样品不允许有以下缺陷: 1,Air bubble in the LCD.模块中有气泡; 2,Sealleak.漏液 3,Non-display.不显示 4,Missing segments.缺画 5,Glass crack.玻璃破碎 6,Current IDD is twice higher than initial value.大电流 7, The surface shall be free from damage.表面损坏 8, The electric Characteristics requirements shall be satisfied. 需要满足模块电气性能
低温存储 Low temperature storage	-30°C	48 小时 48 hrs	
高温运行 High temperature operation	70°C	48 小时 48 hrs	
低温运行 Low temperature operation	-20°C	48 小时 48 hrs	
高温高湿运行 High temperature & humidity operation	60°C,90%RH	48 小时 48 hrs	
静电测试 ESD Test	Air Discharge: Apply ±8KV with 5 times ,150Pf/330 Ω Contact Discharge: Apply ±4KV with 5 times 150Pf/330 Ω	CLASS-B	

备注 Note:

(1) 环境温度

Ambient temperature

(2) 所有显示判断均在面板温度恢复到室温后进行

All judgments of display are performed after temp of panel returns to room temperature

(3) 显示功能在正常工作条件下不发生变化

Display function should be no change under normal operating condition.

(4) 无露水凝结

Under no condensation of dew

9. 常规品质标准 Conventional Quality Standard:

9.1. 目的

本规范的目的是确保本公司产品品质满足客户要求。

9.2. 范围

本规范适用于公司所有 TFT-LCD Module 产品检验。

9.3. 职责与权限

9.3.1 品质部门负责监督执行该规范；

9.3.2 生产部负责执行该规范。

9.4. 定义

9.4.1 重缺陷 (Major): 能引起失效或显著降低产品预期性能, 或在装配前不能有被发现的缺陷。

9.4.2 轻缺陷 (Minor): 不会显著降低产品的预期性能的缺陷; 偏离标准但只轻微影响产品的使用或操作的缺陷。

9.4.3 允收水准 (AQL): 以不合格品百分数或每百单位产品不合格数表示。

9.5. 作业过程

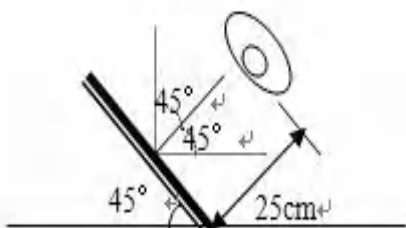
9.5.1 抽样方案

9.5.1.1 检验标准判定按照, 抽样水平按照一般检验水平 II 级: 重缺陷=0.4; 轻缺陷=1.0

9.5.2 检验环境及注意事项

9.5.2.1 观察距离: 目视距离 30CM $\pm$ 5CM

9.5.2.2 检视角度: U/D: 45°/45°, L/R: 45°/45°



9.5.2.3 检验环境: 温度: (23 $\pm$ 2) °C

湿度: (55 $\pm$ 10) %RH

9.5.2.4 光照亮度: 电性: $\leq$ 150Lux;

外观: 1000 $\pm$ 200Lux

9.5.2.5 检验设备: 游标卡尺、显微镜、测试架; 测试台; 菲林卡

9.5.3 检验方法

9.5.3.1 接到验收单后, 按要求确定抽样数量, 抽样要随机化。如产品不良比率超规判退后, 再次送检, 应按照 AQL 标准加严一级检验。

9.5.3.2 先确认验收批的批次号、名称、规格、型号、数量是否相符, 无异议后按要求逐项检查。

9.5.3.3 显示功能检查: 使用相应测试架。

9.5.3.4 客户标准中如有特殊要求, 则依照客户特殊要求检验。

9.5.4 检验项目与检验标准

9.5.4.1 检验项目

9.5.4.1.1 电性缺陷:

- 动作缺陷, 主要为无显示、显示异常、画面闪烁、干扰纹、部分画面消失、颜色异常、反转不良, 影像残留等, 具体规格参照检验标准。
- 面缺陷, 主要为颜色不均、斑点, 面板内部刮伤、PI 不均、面板周围间隙不均; 规格参照检验标准。
- 线缺陷, 主要为缺划, 暗缺, 异色线, 闪动线等, 具体规格参照检验标准。
- 点缺陷, 主要为亮点/画素亮/异物亮, 暗点, 亮暗点, 群亮/暗点, 黑点/团, 白点/团等, 具体规格参照检验标准。

9.5.4.1.2 外观缺陷

- a. 偏光片缺陷，主要为偏光片气泡线，刮伤，脏污，异物，偏移，边缘焦痕，凹凸点，线状缺陷等，按照产品等级规格判定，以上未涉及到的不良按照产品来料等级规格判定。
- b. Touch Panel 缺陷，主要为 T/P 刮伤，T/P 缺角，T/P 翘起/塌陷，T/P 脏污，T/P 鱼眼/气泡凹痕，T/P 印刷点突起，T/P 白点/异物，T/P 牛顿环，T/P 功能异常等，按照产品等级规格判定。
- c. 背光铁壳缺陷，主要为 BL 铁壳刮伤，其它不良如电源线不良，色差，变形，绝缘胶纸贴附气泡等 BL 辅材外观不良均按照产品来料检验规范判定。
- d. 背光组件缺陷，主要为缺件，漏光，LED 颜色不均匀等，按照产品来料检验规范判定。
- e. FPC 缺陷，主要为缺件，尺寸不符，变形，折痕，压痕，刮伤，破损，气泡，毛边，脏污，异物，金手指氧化，色差等，按照产品来料检验规范判定，未定义到项目按照产品来料检验规范判定。
- f. 封胶缺陷，主要为缺胶，溢胶，厚度超规，凹凸点，气泡，脏污等，按照产品等级规格判定。未定义到项目参考产品工艺卡和工艺文件。

序号	项 目	规 格
1	封胶厚度	最大厚度：不可超过偏光片高度
2	缺胶	1. 注胶需完全覆盖 TFT 线路区的有效线路及 ACF 和台阶缝隙 2. 封胶方式：参见技术资料
3	封胶不干，固化不良	不允许
4	胶气泡	1. 悬浮在胶中的气泡 $\leq 1.0\text{mm}$ 2. 电极面上的气泡不允许
5	溢胶	正面溢胶不可溢到上偏光片； 反正溢胶不可溢到下偏光片
6	凹凸点	凹凸直径 $\leq 1.0\text{mm}$ ， $N \leq 3$ (其中 $\Phi \leq 0.3\text{mm}$ ，个数不计)，显示 OK
7	封胶外观	表面应平滑、无空洞、密封可靠
8	点胶	点胶宽度 $1.0 \pm 0.2\text{mm}$

- h. 偏光片保护膜表面脏污/翘起/变形不可有，撕膜标签贴附不平整，有气泡，异物不可有，贴合后无法带起保护膜不可有。

I . 喷码检验标准:

外观：印字内容须与要求相符，不可有缺印、印字模糊。

9.5.4.2. 检验标准

具体检验标准，参考 8.1Module 产品检验规格。

9.5.4.3 缺陷程度判定

缺陷程度主要分为重缺陷和轻缺陷两种。

重缺陷主要为功能缺陷，如无显示，显示异常，缺划，及易造成功能缺陷的其它不良，如 LCD 裂痕，电极短路等。

轻缺陷为除重缺陷以外的缺陷。

序号	检验项目	缺陷程度
1	显示功能异常	重缺陷
2	线缺陷	重缺陷
3	玻璃裂痕	重缺陷
4	电极短路	重缺陷
5	斑点	轻缺陷
6	点缺陷	轻缺陷
7	刮伤	轻缺陷
8	黑/白点	轻缺陷

9.5.4.4 “接收标准”说明：

◆测量单位：mm

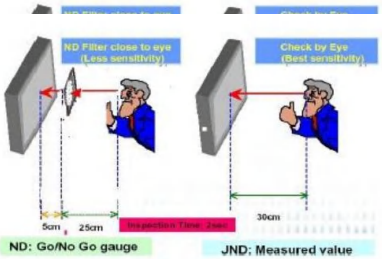
◆代码说明：X：崩缺长度；Y：崩缺宽度；Z：崩缺厚度；t：玻璃厚度（参见特征说明）；T：LCD 整体厚度；a：产品边长；L：电极引线长度；K：框胶正常宽度；W：台阶长度

9.5.5Module 产品检验规格

9.5.5.1 点亮检验缺陷

1. 点亮检验缺陷

1.1 动作缺陷，线缺陷及面缺陷

项目	不良现象	规判定标准	缺陷程度
缺划	缺横线、缺竖线	不允许	重缺陷
动作缺陷	闪屏、BL 等不亮	不允许	
	交叉效应	不允许	
	无显/乱显/半显/暗显	不允许	
	关机残影	不大于 10 秒	轻缺陷
	画面切换时影像残留		
面缺陷	点亮时漏光现象	按照限度样本判定	
	黑点、白团	不可有	
偏色	白色画面或只点亮背光时，显示偏蓝、红、黄	参照限度样品	
显示不均匀	局部位置对比度出现显示深/浅不一致的现象，不允许。 参考 mura 规格（ND06）或按限度样参考限度样管控 1. 如果 Mura 现象在红画面/ 绿画面/ 蓝画面/ 白画面/ 灰画面/ 黑画面下清晰可见，此 mura 不可接受。 2. 若 Mura 现象仅在灰画面下可见，可以使用 ND Filter 协助检验。当前 ND Filter 使用（ND6% 穿透率或限度样）ND		

	filter 使用方法: (眼睛距离 LCD 30 cm; 手拿 ND filter 距离眼睛 25 cm; 确认时间 2 秒. 参见右图		
--	--	--	--

1.2 点缺陷

项目	不良现象		规判定标准	缺陷程度
亮点、黑点、白点、PIXEL 坏点	Sample $\leq$ 2.8"	$\Phi \leq 0.10\text{mm}$	不可密集	轻缺陷
		$0.10\text{ mm} < \Phi \leq 0.15\text{ mm}$	允许 2 个	
		$0.15\text{ mm} < \Phi \leq 0.20\text{ mm}$	允许 1 个	
		$0.20\text{ mm} < \Phi$	不允许	
	2.8" < Sample < 4.7"	$\Phi \leq 0.15\text{ mm}$	不可密集	
		$0.15\text{ mm} < \Phi \leq 0.2\text{ mm}$	允许 2 个	
		$0.2\text{ mm} < \Phi \leq 0.25\text{ mm}$	允许 1 个	
		$0.25\text{ mm} < \Phi$	不允许	

备注: 不可密集评判标准: 点间距 $\geq 10\text{mm}$

1.3 线类缺陷

项目	不良现象		规判定标准	缺陷程度
偏光片气泡线/划伤/线状缺陷/BL 异物线/划伤	宽 $\leq 0.03\text{mm}$, 长不计		不计	轻缺陷
	$0.03\text{mm} < \text{宽} \leq 0.05\text{mm}$, 长 $\leq 3.0\text{mm}$		1	
	$0.05\text{mm} < \text{宽}$, 长 $> 3.0\text{mm}$		不可有	
偏光片气泡/凹凸点	<u>$\Phi \leq 0.1\text{mm}$</u>		<u>不计</u>	
	<u>$0.1\text{mm} < \Phi \leq 0.15\text{mm}$</u>		<u>2</u>	
	<u>$0.15\text{mm} < \Phi \leq 0.25\text{mm}$</u>		<u>1</u>	
	<u>$\Phi > 0.25\text{mm}$</u>		<u>不允许</u>	

备注: 线间距 $\geq 15\text{mm}$, 若气泡线形状不规则: A 规不可超出 LCD 黑色边框向内三分之一, B 规三分之二

9.5.5.2 外观检验缺陷

2. 外观检验缺陷

项目	不良现象	规判定标准	缺陷程度
保护膜	易撕贴贴附后无法撕起保护膜	不允许	轻缺陷
2.2 FPC 缺陷			
FPC 金手指断	FPC 金手指氧化、整体偏移(偏移尺寸按照图纸要求判定)	不允许	轻缺陷
FPC 折痕	死折不允许; 需要摊平焊接的产品, FPC 不允许出现褶皱	不允许	轻缺陷
FPC 破损	破损及缺件不可有;	金手指缺角 $L \leq 1/3$, 连续缺角不可	

FPC 金手指露铜	露铜 $\leq 1/3$ 宽； 露铜 $\leq 1/10$ 长	允许	轻缺陷
FPC 顶伤	线路区顶伤不允许，非线路区 $\Phi \leq 0.5\text{mm}$	允许	
FPC 刮伤	目镜裸露铜材，不影响功能	允许	
FPC 表面脏污	不影响电性且容易擦拭	允许	
FPC 异物/气泡	不影响电性	允许	
FPC 颜色不均	非线路区：不影响电测效果； 线路区：不可超过整个 FPC 面积的 1/10	允许	
绝缘胶带	露出焊盘及焊锡	不允许	
焊接偏移	$X \leq 1/2$ 焊锡线路宽度 Y 方向偏移须保证锡量 $\geq 1/3$ 锡线长度 超过主 FPC 焊盘顶端 且不影响 FPC 反折	允许	
焊接高度	不可有锡尖；Test/OTP Pad 粘锡高度 $\leq 0.36\text{mm}$	允许	
	参考工艺文件，若无特殊说明，则按通用规格执行 通用规格：焊接处整体厚度（主 FPC+BL/TP FPC+焊锡+绝缘胶带） $\leq 0.42\text{mm}$	允许	
焊接不良	虚焊、短路、焊点有锡渣、焊点异物不可有	不允许	
BL\TP FPC	弯折方向错误，小 FPC 向内弯折	不允许	

2.3 BL 部品缺陷

项目	不良现象	规判定标准	缺陷程度
BL 混料	BL 料号、外观不统一	不允许	重缺陷
BL 变形	BL 变形、生锈	不允许	轻缺陷
LCD 与 BL 组装不良	LCD 未完全组装到位、翘起	不允许	
项目	不良现象	规判定标准	缺陷程度
定位柱	定位柱歪斜、断裂	不允许	轻缺陷
BL 膜片不良	膜片数量错误，膜片褶皱变形，贴歪、反贴	不允许	
塑框断裂	塑框断裂	不允许	
BL 白点	$\Phi \leq 0.15\text{mm}$	不计	
	$0.15\text{mm} < \Phi \leq 0.3\text{mm}$	1	
	$\Phi > 0.3\text{mm}$	不允许	

2.4 TP 部品缺陷

项目	不良现象	规判定标准	缺陷程度
TP 裂痕	TP 裂痕	不可有	重缺陷
TP 脏污	TP 脏污（雾状、无法擦拭）	不可有	
TP 贴斜	1. 无铁框产品：按原有规格判定上， 即 TP 超出模组边缘 $\leq 0.2\text{mm}$ ； 2. 有铁框产品：TP 不可超出模组边缘	允许	轻缺陷
TP 表面 划伤/线 状杂物 （白线， 纤维）	长不计，宽 $\leq 0.03\text{mm}$	不计	
	长 $\leq 5\text{mm}$, $0.03\text{mm} < \text{宽} \leq 0.05\text{mm}$	3	
	长 $> 5\text{mm}$, 宽 $> 0.05\text{mm}$	不允许	
TP 鱼眼/ 气泡/凹 痕	$\Phi \leq 0.2\text{mm}$	不计	
	$0.2\text{mm} < \Phi \leq 0.4\text{mm}$	4	
	$0.4\text{mm} < \Phi \leq 0.5\text{mm}$	1	
	$\Phi > 0.5\text{mm}$	不允许	
TP 粒状 杂物/顶 伤（白点、 杂色点）	$\Phi \leq 0.15\text{mm}$	不限	
	$0.15\text{mm} < \Phi \leq 0.25\text{mm}$	3	
	$\Phi > 0.25\text{mm}$	不允许	
TP 角落 缺角	$X < 2\text{mm}$, $Y < 2\text{MM}$, $Z \leq \text{GT}$ (GT 为 TP 厚度)	不计	
	$X \geq 2\text{mm}$ 或 $Y \geq 2\text{mm}$, $Z = \text{GT}$	不允许	
TP 边缘 缺角	$X < 3\text{mm}$, $Y < 3\text{MM}$, $Z < \text{GT}$ (GT 为 TP 厚度)	不计	
	$X \geq 3\text{mm}$ 或 $Y \geq 3\text{mm}$, $Z = \text{GT}$	不允许	
TP 溢胶	溢胶进入可视区、超出 BL 塑胶边缘	不允许	
TP 牛顿 环	大小不允许超过显示区面积的 1/6；检 视时间为 5S；检视角度为正常检视角 度。	允许	
TP 丝印 点	模糊允许，但连续 ≤ 3 点缺失	允许	
TP 保护 膜不良	保护膜脏污、指纹、残胶、油污、破 损	不允许	
保护膜易 撕贴	撕不起来	不允许	
TP ICON 颜色不良	应为黑底白图，错误的为白底黑图	不允许	
LCD 崩角			
角落崩缺	$X \leq 1.5\text{mm}$, $Y \leq 0.8\text{mm}$, $Z \leq T$: 允许 如 $X > 1.5\text{mm}$, 按崩边判定	允许	
电极区崩边	电极引线边正面	不允许	
	X 不计, $Y \leq 1/4L$, $Z \leq t$	允许	
	$Y > 1/4L$	不可有	

	电极引线边反面	允许	轻缺陷
	X 不计, $Y \leq 1/3L$, $Z \leq t/2$	允许	
	$Y > 1/3L$, $Z > t/2$	不可有	
非 FOG 区崩边	X 不计, $Y \leq 2\text{mm}$, Z 不计, 不可伤及线路	允许	
电极区角落崩缺	$Y \leq 1.0\text{mm}$ 时, $X \leq 5\text{mm}$, $Z \leq T$ $1.0\text{mm} < Y \leq W$ 时, $X \leq 2\text{mm}$, $Z \leq T$ 不可伤及对位 mark 及 COG 和 FOG 区线路, 不影响电性	允许	
FOG 刮伤	目视可见	不可有	
COG 刮伤	目视可见	不可有	
组装后 LCD 与 B/L 的夹缝内或 LCD 的边缘有异物	目视可见	不影响产品的正常使用和组装可以接受	

10. 包装图 Packing Drawing (Reference only)

T.B.D